

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月 6日
Date of Application:

出願番号 特願2003-029841
Application Number:
[ST. 10/C]: [JP 2003-029841]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年10月17日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3085581

【書類名】 特許願

【整理番号】 J0097432

【提出日】 平成15年 2月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 沢本 俊宏

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100066980

【弁理士】

【氏名又は名称】 森 哲也

【選任した代理人】

【識別番号】 100075579

【弁理士】

【氏名又は名称】 内藤 嘉昭

【選任した代理人】

【識別番号】 100103850

【弁理士】

【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

【予納台帳番号】 001638

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法

【特許請求の範囲】

【請求項 1】 隣り合った 2 辺を含む第 1 領域と、一の対角線を境界として前記第 1 領域に隣接し、前記第 1 領域と外形が対称な第 2 領域を有する矩形形状のキャリア基板と、

前記キャリア基板に搭載された半導体チップと、

前記第 1 領域の前記 2 辺に沿って L 字状に設けられた第 1 突出電極群と、

前記第 1 突出電極群の配置と非対称となるように、前記第 2 領域に配置された第 2 突出電極群とを備えることを特徴とする半導体装置。

【請求項 2】 矩形形状のキャリア基板と、

前記キャリア基板に搭載された半導体チップと、

前記キャリア基板の第 1 の頂点に交わる少なくとも 2 辺に沿って設けられた突出電極の未配置領域と、

前記第 1 の頂点に対向する前記キャリア基板の第 2 の頂点に交わる少なくとも 2 辺に沿って設けられた突出電極群とを備えることを特徴とする半導体装置。

【請求項 3】 矩形形状のキャリア基板と、

前記キャリア基板に搭載された半導体チップと、

前記キャリア基板の少なくとも第 1 の辺に沿って設けられた突出電極の未配置領域と、

前記第 1 の辺に対向する前記キャリア基板の第 2 の辺および前記第 2 の辺に交わる少なくとも第 3 の辺に沿って設けられた突出電極群とを備えることを特徴とする半導体装置。

【請求項 4】 前記突出電極群はコ字状に配置されていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 キャリア基板と、

前記キャリア基板の端部にかかるように配置される半導体チップの搭載領域を避けるように、前記キャリア基板に配置された突出電極とを備えることを特徴と

する半導体装置。

【請求項 6】 キャリア基板と、
前記キャリア基板に搭載された半導体チップと、
前記キャリア基板に設けられた複数のランド電極と、
前記複数のランド電極の一部に配置された突出電極を備えることを特徴とする半導体装置。

【請求項 7】 第 1 キャリア基板と、
前記第 1 キャリア基板上に搭載された第 1 半導体チップと、
矩形形状の第 2 キャリア基板と、
前記第 2 キャリア基板に搭載された第 2 半導体チップと、
前記第 2 キャリア基板の第 1 の頂点に交わる少なくとも 2 辺に沿って設けられた突出電極の未配置領域と、
前記第 1 の頂点に対向する前記第 2 キャリア基板の第 2 の頂点に交わる少なくとも 2 辺に沿って設けられ、前記突出電極の未配置領域下に前記第 1 半導体チップが配置されるようにして、前記第 1 キャリア基板上に接合された突出電極群とを備えることを特徴とする半導体装置。

【請求項 8】 第 1 キャリア基板と、
前記第 1 キャリア基板上に搭載された第 1 半導体チップと、
矩形形状の第 2 キャリア基板と、
前記第 2 キャリア基板に搭載された第 2 半導体チップと、
前記第 2 キャリア基板の少なくとも第 1 の辺に沿って設けられた突出電極の未配置領域と、
前記第 1 の辺に対向する前記第 2 キャリア基板の第 2 の辺および前記第 2 の辺に交わる少なくとも第 3 の辺に沿って設けられ、前記突出電極の未配置領域下に前記第 1 半導体チップが配置されるようにして、前記第 1 キャリア基板上に接合された突出電極群とを備えることを特徴とする半導体装置。

【請求項 9】 第 1 キャリア基板と、
前記第 1 キャリア基板上に搭載された第 1 半導体チップと、
矩形形状の第 2 半導体チップと、

前記第 2 半導体チップの第 1 の頂点に交わる少なくとも 2 辺に沿って設けられた突出電極の未配置領域と、

前記第 1 の頂点に対向する前記第 2 半導体チップの第 2 の頂点に交わる少なくとも 2 辺に沿って設けられ、前記突出電極の未配置領域下に前記第 1 半導体チップが配置されるようにして、前記第 1 キャリア基板上に接合された突出電極群とを備えることを特徴とする半導体装置。

【請求項 10】 第 1 キャリア基板と、

前記第 1 キャリア基板上に搭載された第 1 半導体チップと、

矩形形状の第 2 半導体チップと、

前記第 2 半導体チップの少なくとも第 1 の辺に沿って設けられた突出電極の未配置領域と、

前記第 1 の辺に対向する前記第 2 半導体チップの第 2 の辺および前記第 2 の辺に交わる少なくとも第 3 の辺に沿って設けられ、前記突出電極の未配置領域下に前記第 1 半導体チップが配置されるようにして、前記第 1 キャリア基板上に接合された突出電極群とを備えることを特徴とする半導体装置。

【請求項 11】 第 1 キャリア基板と、

前記第 1 キャリア基板上に搭載された第 1 電子部品と、

矩形形状の第 2 キャリア基板と、

前記第 2 キャリア基板に搭載された第 2 電子部品と、

前記第 2 キャリア基板の第 1 の頂点に交わる少なくとも 2 辺に沿って設けられた突出電極の未配置領域と、

前記第 1 の頂点に対向する前記第 2 キャリア基板の第 2 の頂点に交わる少なくとも 2 辺に沿って設けられ、前記突出電極の未配置領域下に前記第 1 電子部品が配置されるようにして、前記第 1 キャリア基板上に接合された突出電極群とを備えることを特徴とする電子デバイス。

【請求項 12】 第 1 キャリア基板と、

前記第 1 キャリア基板上に搭載された第 1 電子部品と、

矩形形状の第 2 キャリア基板と、

前記第 2 キャリア基板に搭載された第 2 電子部品と、

前記第 2 キャリア基板の少なくとも第 1 の辺に沿って設けられた突出電極の未配置領域と、

前記第 1 の辺に対向する前記第 2 キャリア基板の第 2 の辺および前記第 2 の辺に交わる少なくとも第 3 の辺に沿って設けられ、前記突出電極の未配置領域下に前記第 1 電子部品が配置されるようにして、前記第 1 キャリア基板上に接合された突出電極群とを備えることを特徴とする電子デバイス。

【請求項 13】 第 1 キャリア基板と、

前記第 1 キャリア基板上に搭載された第 1 半導体チップと、

矩形形状の第 2 キャリア基板と、

前記第 2 キャリア基板に搭載された第 2 半導体チップと、

前記第 2 キャリア基板の第 1 の頂点に交わる少なくとも 2 辺に沿って設けられた突出電極の未配置領域と、

前記第 1 の頂点に対向する前記第 2 キャリア基板の第 2 の頂点に交わる少なくとも 2 辺に沿って設けられ、前記突出電極の未配置領域下に前記第 1 半導体チップが配置されるようにして、前記第 1 キャリア基板上に接合された突出電極群と、

前記第 1 キャリア基板が搭載されたマザー基板とを備えることを特徴とする電子機器。

【請求項 14】 第 1 キャリア基板と、

前記第 1 キャリア基板上に搭載された第 1 半導体チップと、

矩形形状の第 2 キャリア基板と、

前記第 2 キャリア基板に搭載された第 2 半導体チップと、

前記第 2 キャリア基板の少なくとも第 1 の辺に沿って設けられた突出電極の未配置領域と、

前記第 1 の辺に対向する前記第 2 キャリア基板の第 2 の辺および前記第 2 の辺に交わる少なくとも第 3 の辺に沿って設けられ、前記突出電極の未配置領域下に前記第 1 半導体チップが配置されるようにして、前記第 1 キャリア基板上に接合された突出電極群と、

前記第 1 キャリア基板が搭載されたマザー基板とを備えることを特徴とする電

子機器。

【請求項 15】 第1キャリア基板上に第1半導体チップを実装する工程と

第2キャリア基板上に第2半導体チップを実装する工程と、

前記第2キャリア基板の少なくとも一辺の周囲を避けるようにして、前記第2キャリア基板に突出電極群を形成する工程と、

前記第1半導体チップ上に前記第2キャリア基板の少なくとも一辺が配置されるようにして、前記突出電極群を第1キャリア基板上に接合する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 16】 第1キャリア基板上に第1半導体チップを実装する工程と

第2キャリア基板上に第2半導体チップを実装する工程と、

前記第2キャリア基板の少なくとも一の頂点の周囲を避けるようにして、前記第2キャリア基板に突出電極群を形成する工程と、

前記第1半導体チップ上に前記第2キャリア基板の少なくとも一の頂点が配置されるようにして、前記突出電極群を第1キャリア基板上に接合する工程とを備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法に関し、特に、半導体パッケージなどの積層構造に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、半導体チップ実装時の省スペース化を図るため、例えば、特許文献1に開示されているように、同種のキャリア基板を介在させながら半導体チップを3次元実装する方法がある。

【0003】

【特許文献 1】

特開平 1 0 - 2 8 4 6 8 3 号公報

【0 0 0 4】**【発明が解決しようとする課題】**

しかしながら、同種のキャリア基板を介在させながら半導体チップを 3 次元実装する方法では、異種パッケージの積層が困難となり、異種チップの積層が困難となることから、省スペース化の実効性が上がらないという問題があった。

そこで、本発明の目的は、異種パッケージの 3 次元実装構造を実現することが可能な半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法を提供することである。

【0 0 0 5】**【課題を解決するための手段】**

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、隣り合った 2 辺を含む第 1 領域と、一の対角線を境界として前記第 1 領域に隣接し、前記第 1 領域と外形が対称な第 2 領域を有する矩形状のキャリア基板と、前記キャリア基板に搭載された半導体チップと、前記第 1 領域の前記 2 辺に沿って L 字状に設けられた第 1 突出電極群と、前記第 1 突出電極群の配置と非対称となるように、前記第 2 領域に配置された第 2 突出電極群とを備えることを特徴とする。

【0 0 0 6】

これにより、突出電極群をキャリア基板上に片寄らせて配置することが可能となり、突出電極群を介してキャリア基板を支持することを可能としつつ、キャリア基板の少なくとも一辺に沿った突出電極の未配置領域を突出電極群の形成面側に設けることが可能となる。

このため、第 1 キャリア基板上に実装された第 1 半導体チップ上に端部が配置されるようにして、第 2 半導体チップが実装された第 2 キャリア基板を第 1 キャリア基板上に支持することが可能となり、高さの増大を抑制しつつ、異種パッケージを積層させることが可能となる。

【0 0 0 7】

また、本発明の一態様に係る半導体装置によれば、矩形状のキャリア基板と、前記キャリア基板に搭載された半導体チップと、前記キャリア基板の第1の頂点に交わる少なくとも2辺に沿って設けられた突出電極の未配置領域と、前記第1の頂点に対向する前記キャリア基板の第2の頂点に交わる少なくとも2辺に沿って設けられた突出電極群とを備えることを特徴とする。

【0008】

これにより、第1キャリア基板上に実装された第1半導体チップ上に頂点が配置されるようにして、第2半導体チップが実装された第2キャリア基板を第1キャリア基板上に支持することが可能となり、同一の第1半導体チップ上に複数のキャリア基板を配置することが可能となることから、実装面積をより一層縮小することが可能となる。

【0009】

また、本発明の一態様に係る半導体装置によれば、矩形状のキャリア基板と、前記キャリア基板に搭載された半導体チップと、前記キャリア基板の少なくとも第1の辺に沿って設けられた突出電極の未配置領域と、前記第1の辺に対向する前記キャリア基板の第2の辺および前記第2の辺に交わる少なくとも第3の辺に沿って設けられた突出電極群とを備えることを特徴とする。

【0010】

これにより、第1キャリア基板上に実装された第1半導体チップ上に辺が配置されるようにして、第2半導体チップが実装された第2キャリア基板を第1キャリア基板上に支持することが可能となり、同一の第1半導体チップ上に複数のキャリア基板を配置することが可能となることから、実装面積をより一層縮小することが可能となる。

【0011】

また、本発明の一態様に係る半導体装置によれば、前記突出電極群はコ字状に配置されていることを特徴とする。

これにより、半導体チップ上にキャリア基板の端部が配置された場合においても、キャリア基板の少なくとも4隅でキャリア基板を支えることが可能となり、異種パッケージの積層を可能としつつ、キャリア基板を安定して保持することが

可能となる。

【0 0 1 2】

また、本発明の一態様に係る半導体装置によれば、キャリア基板と、前記キャリア基板の端部にかかるように配置される半導体チップの搭載領域を避けるように、前記キャリア基板に配置された突出電極とを備えることを特徴とする。

これにより、半導体チップ上にキャリア基板の端部が配置されるようにして、キャリア基板を支持することが可能となる。このため、同一の半導体チップ上に複数のキャリア基板を配置することが可能となり、異種パッケージの積層を可能としつつ、実装面積を縮小することが可能となる。

【0 0 1 3】

また、本発明の一態様に係る半導体装置によれば、キャリア基板と、前記キャリア基板に搭載された半導体チップと、前記キャリア基板に設けられた複数のランド電極と、前記複数のランド電極の一部に配置された突出電極を備えることを特徴とする。

これにより、ランド電極が所定の規格に従ってキャリア基板上に配置されている場合においても、突出電極による突出部を所定の範囲に渡って除去することが可能となる。このため、キャリア基板の汎用化を図りつつ、半導体チップ上にキャリア基板の端部を配置することが可能となり、製造工程の煩雑化を抑制しつつ、同一の半導体チップ上に複数のキャリア基板を配置することが可能となる。

【0 0 1 4】

また、本発明の一態様に係る半導体装置によれば、第 1 キャリア基板と、前記第 1 キャリア基板上に搭載された第 1 半導体チップと、矩形状の第 2 キャリア基板と、前記第 2 キャリア基板に搭載された第 2 半導体チップと、前記第 2 キャリア基板の第 1 の頂点に交わる少なくとも 2 辺に沿って設けられた突出電極の未配置領域と、前記第 1 の頂点に対向する前記第 2 キャリア基板の第 2 の頂点に交わる少なくとも 2 辺に沿って設けられ、前記突出電極の未配置領域下に前記第 1 半導体チップが配置されるようにして、前記第 1 キャリア基板上に接合された突出電極群とを備えることを特徴とする。

【0 0 1 5】

これにより、第1半導体チップ上に第2キャリア基板の頂点が配置されるようにして、第2半導体チップが実装された第2キャリア基板を第1キャリア基板上に支持することが可能となり、同一の第1半導体チップ上に複数の第2キャリア基板を配置することが可能となることから、異種チップの積層を可能としつつ、実装面積を縮小することが可能となる。

【0016】

また、本発明の一態様に係る半導体装置によれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1半導体チップと、矩形状の第2キャリア基板と、前記第2キャリア基板に搭載された第2半導体チップと、前記第2キャリア基板の少なくとも第1の辺に沿って設けられた突出電極の未配置領域と、前記第1の辺に対向する前記第2キャリア基板の第2の辺および前記第2の辺に交わる少なくとも第3の辺に沿って設けられ、前記突出電極の未配置領域下に前記第1半導体チップが配置されるようにして、前記第1キャリア基板上に接合された突出電極群とを備えることを特徴とする。

【0017】

これにより、第1半導体チップ上に第2キャリア基板の辺が配置されるようにして、第2半導体チップが実装された第2キャリア基板を第1キャリア基板上に支持することが可能となり、同一の第1半導体チップ上に複数の第2キャリア基板を配置することが可能となることから、異種チップの積層を可能としつつ、実装面積を縮小することが可能となる。

【0018】

また、本発明の一態様に係る半導体装置によれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1半導体チップと、矩形状の第2半導体チップと、前記第2半導体チップの第1の頂点に交わる少なくとも2辺に沿って設けられた突出電極の未配置領域と、前記第1の頂点に対向する前記第2半導体チップの第2の頂点に交わる少なくとも2辺に沿って設けられ、前記突出電極の未配置領域下に前記第1半導体チップが配置されるようにして、前記第1キャリア基板上に接合された突出電極群とを備えることを特徴とする。

【0019】

これにより、第1半導体チップと第2半導体チップとの間にキャリア基板を介在させることなく、第1半導体チップ上に第2半導体チップの頂点が配置されるようにして、第2半導体チップを第1キャリア基板上に支持することが可能となる。このため、半導体チップ積層時の高さの増大を抑制しつつ、同一の第1半導体チップ上に複数の第2半導体チップを配置することが可能となり、異種チップの積層を可能としつつ、実装面積を縮小することが可能となる。

【0020】

また、本発明の一態様に係る半導体装置によれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1半導体チップと、矩形状の第2半導体チップと、前記第2半導体チップの少なくとも第1の辺に沿って設けられた突出電極の未配置領域と、前記第1の辺に対向する前記第2半導体チップの第2の辺および前記第2の辺に交わる少なくとも第3の辺に沿って設けられ、前記突出電極の未配置領域下に前記第1半導体チップが配置されるようにして、前記第1キャリア基板上に接合された突出電極群とを備えることを特徴とする。

【0021】

これにより、第1半導体チップと第2半導体チップとの間にキャリア基板を介在させることなく、第1半導体チップ上に第2半導体チップの辺が配置されるようにして、第2半導体チップを第1キャリア基板上に支持することが可能となり、半導体チップ積層時の高さの増大を抑制しつつ、同一の第1半導体チップ上に複数の第2半導体チップを配置することが可能となる。

【0022】

また、本発明の一態様に係る電子デバイスによれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1電子部品と、矩形状の第2キャリア基板と、前記第2キャリア基板に搭載された第2電子部品と、前記第2キャリア基板の第1の頂点に交わる少なくとも2辺に沿って設けられた突出電極の未配置領域と、前記第1の頂点に対向する前記第2キャリア基板の第2の頂点に交わる少なくとも2辺に沿って設けられ、前記突出電極の未配置領域下に前記第1電子部品が配置されるようにして、前記第1キャリア基板上に接合された突出電極群とを備えることを特徴とする。

【0023】

これにより、第1電子部品上に頂点が配置されるようにして、第2電子部品が実装された第2キャリア基板を第1キャリア基板上に支持することが可能となり、同一の第1電子部品上に複数のキャリア基板を配置することが可能となることから、実装面積をより一層縮小することが可能となる。

また、本発明の一態様に係る電子デバイスによれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1電子部品と、矩形状の第2キャリア基板と、前記第2キャリア基板に搭載された第2電子部品と、前記第2キャリア基板の少なくとも第1の辺に沿って設けられた突出電極の未配置領域と、前記第1の辺に対向する前記第2キャリア基板の第2の辺および前記第2の辺に交わる少なくとも第3の辺に沿って設けられ、前記突出電極の未配置領域下に前記第1電子部品が配置されるようにして、前記第1キャリア基板上に接合された突出電極群とを備えることを特徴とする。

【0024】

これにより、第1電子部品上に辺が配置されるようにして、第2電子部品が実装された第2キャリア基板を第1キャリア基板上に支持することが可能となり、同一の第1電子部品上に複数のキャリア基板を配置することが可能となることから、実装面積をより一層縮小することが可能となる。

また、本発明の一態様に係る電子機器によれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1半導体チップと、矩形状の第2キャリア基板と、前記第2キャリア基板に搭載された第2半導体チップと、前記第2キャリア基板の第1の頂点に交わる少なくとも2辺に沿って設けられた突出電極の未配置領域と、前記第1の頂点に対向する前記第2キャリア基板の第2の頂点に交わる少なくとも2辺に沿って設けられ、前記突出電極の未配置領域下に前記第1半導体チップが配置されるようにして、前記第1キャリア基板上に接合された突出電極群と、前記第1キャリア基板が搭載されたマザー基板とを備えることを特徴とする。

【0025】

これにより、第1半導体チップ上に頂点が配置されるようにして、複数の第2

キャリア基板を第1キャリア基板上に支持することが可能となり、電子機器の機能性の向上を可能としつつ、電子機器の小型・軽量化を図ることが可能となる。

また、本発明の一態様に係る電子機器によれば、第1キャリア基板と、前記第1キャリア基板上に搭載された第1半導体チップと、矩形状の第2キャリア基板と、前記第2キャリア基板に搭載された第2半導体チップと、前記第2キャリア基板の少なくとも第1の辺に沿って設けられた突出電極の未配置領域と、前記第1の辺に対向する前記第2キャリア基板の第2の辺および前記第2の辺に交わる少なくとも第3の辺に沿って設けられ、前記突出電極の未配置領域下に前記第1半導体チップが配置されるようにして、前記第1キャリア基板上に接合された突出電極群と、前記第1キャリア基板が搭載されたマザー基板とを備えることを特徴とする。

【0026】

これにより、第1半導体チップ上に辺が配置されるようにして、複数の第2キャリア基板を第1キャリア基板上に支持することが可能となり、電子機器の機能性の向上を可能としつつ、電子機器の小型・軽量化を図ることが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、第1キャリア基板上に第1半導体チップを実装する工程と、第2キャリア基板上に第2半導体チップを実装する工程と、前記第2キャリア基板の少なくとも一辺の周囲を避けるようにして、前記第2キャリア基板に突出電極群を形成する工程と、前記第1半導体チップ上に前記第2キャリア基板の少なくとも一辺が配置されるようにして、前記突出電極群を第1キャリア基板上に接合する工程とを備えることを特徴とする。

【0027】

これにより、突出電極群を第1キャリア基板上に接合することで、第1半導体チップ上に頂点が配置されるようにして、第2キャリア基板を第1キャリア基板上に支持することが可能となる。このため、突出電極群の配置位置を調整することで、異種チップの積層を図ることが可能となり、製造工程の煩雑化を抑制しつつ、省スペース化の実効性を向上させることが可能となる。

【0028】

また、本発明の一態様に係る半導体装置の製造方法によれば、第1キャリア基板上に第1半導体チップを実装する工程と、第2キャリア基板上に第2半導体チップを実装する工程と、前記第2キャリア基板の少なくとも一の頂点の周囲を避けるようにして、前記第2キャリア基板に突出電極群を形成する工程と、前記第1半導体チップ上に前記第2キャリア基板の少なくとも一の頂点が配置されるようにして、前記突出電極群を第1キャリア基板上に接合する工程とを備えることを特徴とする。

【0029】

これにより、突出電極群を第1キャリア基板上に接合することで、第1半導体チップ上に辺が配置されるようにして、第2キャリア基板を第1キャリア基板上に支持することが可能となる。このため、突出電極群の配置位置を調整することで、異種チップの積層を図ることが可能となり、製造工程の煩雑化を抑制しつつ、省スペース化の実効性を向上させることが可能となる。

【0030】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置、電子デバイスおよびそれら製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の構成を示す断面図である。なお、この第1実施形態は、半導体チップ（または半導体ダイ）13がACF接合により実装された半導体パッケージPK11上に、スタックド構造の半導体チップ（または半導体ダイ）23a～23cがワイヤボンド接続された半導体パッケージPK12およびスタックド構造の半導体チップ（または半導体ダイ）33a～32cがワイヤボンド接続された半導体パッケージPK13をそれぞれ積層したものである。

【0031】

図1において、半導体パッケージPK11にはキャリア基板11が設けられ、キャリア基板11の両面にはランド12a、12cがそれぞれ形成されるとともに、キャリア基板11内には内部配線12bが形成されている。そして、キャリア基板11上には半導体チップ13がフリップチップ実装され、半導体チップ1

3には、フリップチップ実装するための突出電極14が設けられている。そして、半導体チップ13に設けられた突出電極14は、異方性導電シート15を介してランド12c上にACF (Anisotropic Conductive Film) 接合されている。また、キャリア基板11の裏面に設けられたランド12a上には、キャリア基板11をマザー基板上に実装するための突出電極16が設けられている。

【0032】

ここで、ACF接合により半導体チップ13をキャリア基板11上に実装することにより、ワイヤボンダやモールド封止するためのスペースが不要となり、3次元実装時の省スペース化を図ることが可能となるとともに、半導体チップ13をキャリア基板11上に接合する際の低温化を図ることが可能となり、実際の使用時のキャリア基板11の反りを低減することが可能となる。

【0033】

一方、半導体パッケージPK12、PK13にはキャリア基板21、31がそれぞれ設けられている。そして、キャリア基板21、31の裏面にはランド22a、22a'、32a、32a'がそれぞれ形成されるとともに、キャリア基板21、31の表面にはランド22c、32cがそれぞれ形成され、キャリア基板21、31内には内部配線22b、32bがそれぞれ形成されている。ここで、ランド22a、32a上には突出電極24、36をそれぞれ配置し、ランド22a'、32a'は、突出電極24、36が配置されないまま残しておくことができる。

【0034】

そして、キャリア基板21、31上には、接着層24a、34aをそれぞれ介し半導体チップ23a、33aがそれぞれフェースアップ実装され、半導体チップ23a、33aは、導電性ワイヤ25a、35aをそれぞれ介してランド22c、32cにそれぞれワイヤボンダ接続されている。さらに、半導体チップ23a、33a上には、導電性ワイヤ25a、35aを避けるようにして、半導体チップ23b、33bがそれぞれフェースアップ実装され、半導体チップ23b、33bは、接着層24b、34bをそれぞれ介して半導体チップ23a、33a

上にそれぞれ固定されるとともに、導電性ワイヤ 25b、35b をそれぞれ介してランド 22c、32c にそれぞれワイヤボンダ接続されている。さらに、半導体チップ 23b、33b 上には、導電性ワイヤ 25b、35b を避けるようにして、半導体チップ 23c、33c がそれぞれフェースアップ実装され、半導体チップ 23c、33c は、接着層 24c、34c をそれぞれ介して半導体チップ 23b、33b 上にそれぞれ固定されるとともに、導電性ワイヤ 25c、35c をそれぞれ介してランド 22c、32c にそれぞれワイヤボンダ接続されている。

【0035】

また、キャリア基板 21、31 の裏面にそれぞれ設けられたランド 22a、32a 上には、キャリア基板 21、31 が半導体チップ 13 上にそれぞれ保持されるようにして、キャリア基板 21、31 をキャリア基板 11 上にそれぞれ実装するための突出電極 24、36 がそれぞれ設けられている。ここで、突出電極 24、36 は、半導体チップ 13 の配置領域をそれぞれ避けるようにして、キャリア基板 21、31 の少なくとも四隅にそれぞれ存在することが好ましい。これにより、キャリア基板 21、31 の端部が半導体チップ 13 上にそれぞれ配置されるようにして、キャリア基板 21、31 をキャリア基板 11 上にそれぞれ実装した場合においても、キャリア基板 21、31 をキャリア基板 11 上で安定して保持することが可能となる。

【0036】

また、突出電極 24、36 が未配置のまま残されたランド 22a'、32a' をキャリア基板 21、31 にそれぞれ設けることにより、突出電極 24、36 の配置位置を調整することが可能となる。このため、キャリア基板 11 上に実装される半導体チップ 13 の種類やサイズが変更された場合においても、キャリア基板 21、31 の構成を変更することなく、突出電極 24、36 を配置し直すことが可能となり、キャリア基板 21、31 の汎用化を図ることが可能となる。

【0037】

そして、キャリア基板 11 上に設けられたランド 12c に突出電極 24、36 をそれぞれ接合させることにより、キャリア基板 21、31 の端部がそれぞれ半導体チップ 13 上に配置されるようにして、キャリア基板 21、31 をキャリア

基板 11 上にそれぞれ実装することができる。これにより、同一の半導体チップ 13 上に複数の半導体パッケージ PK12、PK13 を配置することが可能となり、実装面積の縮小を可能としつつ、異種の半導体チップ 13、23a～23c、33a～33c の 3 次元実装を図ることが可能となる。

【0038】

ここで、半導体チップ 13 としては、例えば、CPU などの論理演算素子、半導体チップ 23a～23c、33a～33c としては、例えば、DRAM、SRAM、EEPROM、フラッシュメモリなどの記憶素子を用いることができる。これにより、実装面積の増大を抑制しつつ、様々の機能を実現することが可能となるとともに、記憶素子のスタック構造を容易に実現することが可能となり、記憶容量を容易に増加させることが可能となる。

【0039】

なお、キャリア基板 21、31 をキャリア基板 11 上にそれぞれ実装する場合、キャリア基板 21、31 の裏面は半導体チップ 13 上に密着していてもよいし、キャリア基板 21、31 の裏面は半導体チップ 13 から離れていてもよい。

また、キャリア基板 21 とキャリア基板 31 とは、側壁が密着していてもよいし、側壁が離れていてもよい。ここで、キャリア基板 21 とキャリア基板 31 の側壁を密着させることにより、半導体パッケージ PK11 上に実装される半導体パッケージ PK12、PK13 の実装密度を向上させることが可能となり、省スペース化を図ることが可能となる。一方、キャリア基板 21 とキャリア基板 31 の側壁を離間させることにより、半導体チップ 13 から発生する熱を半導体パッケージ PK12、PK13 間の隙間から逃がすことが可能となり、半導体チップ 13 から発生する熱の放散性を向上させることが可能となる。

【0040】

また、半導体チップ 23a～23c、33a～33c の実装面側のキャリア基板 21、31 の一面全体に封止樹脂 27、37 がそれぞれ設けられ、この封止樹脂 27、37 により半導体チップ 23a～23c、33a～33c がそれぞれ封止されている。なお、封止樹脂 27、37 で半導体チップ 23a～23c、33a～33c をそれぞれ封止する場合、例えば、エポキシ樹脂などの熱硬化性樹脂

を用いたモールド成形などにより行うことができる。

【0041】

なお、キャリア基板11、21、31としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板11、21、31の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BTレジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極1424、36としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができ、導電性ワイヤ25a～25c、35a～35cとしては、例えば、AuワイヤやAlワイヤなどを用いることができる。また、上述した実施形態では、キャリア基板21、31をキャリア基板11上にそれぞれ実装するために、突出電極24、36をキャリア基板24、36のランド22a、32a上にそれぞれ設ける方法について説明したが、突出電極24、36をキャリア基板11のランド12c上に設けるようにしてもよい。

【0042】

また、上述した実施形態では、ACF接合により半導体チップ13をキャリア基板11上に実装する方法について説明したが、例えば、NCF (Non conductive Film) 接合などのその他の接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、半導体チップ23a～23c、33a～33cをキャリア基板21、31上にそれぞれ実装する場合、ワイヤボンド接続を用いる方法について説明したが、キャリア基板21、31上に半導体チップ23a～23c、33a～33cをフリップチップ実装するようにしてもよい。さらに、上述した実施形態では、キャリア基板11上に半導体チップ13を1個だけ実装する方法を例にとって説明したが、キャリア基板11上に複数の半導体チップを実装するようにしてもよい。

【0043】

また、半導体パッケージPK11、PK12、PK13間の隙間には、樹脂を充填するようにしてもよい。これにより、半導体パッケージPK11、PK12、PK13の耐衝撃性を向上させることが可能となり、突出電極26、36の根

元に残留応力が集中した場合においても、突出電極 2 6、3 6 にクラックが誘発されることを防止することが可能となることから、半導体パッケージ P K 1 1、P K 1 2、P K 1 3 の信頼性を向上させることが可能となる。

【0 0 4 4】

図 2 は、本発明の第 2 実施形態に係る突出電極の配置方法を示す平面図である。なお、この第 2 実施形態は、キャリア基板 4 2 a～4 2 d を半導体チップ 4 1 上に 4 分割配置するようにしたものである。

図 2 において、キャリア基板 4 2 a～4 2 d には、各キャリア基板 4 2 a～4 2 d の頂点 A 1～D 1 にそれぞれ交わる 2 辺に沿って、突出電極 4 3 a～4 3 d が L 字状にそれぞれ配置されている。そして、キャリア基板 4 2 a～4 2 d の頂点 A 1～D 1 にそれぞれ対向する頂点 A 1'～D 1' に交わる 2 辺に沿って、突出電極 4 3 a～4 3 d の未配置領域がそれぞれ設けられている。

【0 0 4 5】

そして、キャリア基板 4 2 a～4 2 d の頂点 A 1'～D 1' が半導体チップ 4 1 上にそれぞれ配置されるようにして、キャリア基板 4 2 a～4 2 d に設けられた突出電極 4 3 a～4 3 d が、半導体チップ 4 1 が搭載された下層基板上に接合されている。これにより、突出電極 4 3 a～4 3 d の配置位置を調整することで、同一の半導体チップ 4 1 上に複数のキャリア基板 4 2 a～4 2 d を配置することが可能となり、製造工程の煩雑化を抑制しつつ、省スペース化の実効性を向上させることが可能となる。

【0 0 4 6】

図 3 は、本発明の第 3 実施形態に係る突出電極の配置方法を示す平面図である。なお、この第 3 実施形態は、キャリア基板 5 2 a、5 2 b を半導体チップ 5 1 上に 2 分割配置するようにしたものである。

図 3 において、キャリア基板 5 2 a、5 2 b には、各キャリア基板 5 2 a、5 2 b の辺 A 2、B 2 および辺 A 2'、B 2' にそれぞれ交わる辺に沿って、突出電極 5 3 a、5 3 b がコ字状にそれぞれ配置されている。そして、キャリア基板 5 2 a、5 2 b の辺 A 2、B 2 にそれぞれ対向する辺 A 2'、B 2' に沿って、突出電極 5 3 a、5 3 b の未配置領域がそれぞれ設けられている。

【0 0 4 7】

そして、キャリア基板 5 2 a、5 2 b の辺 A 2'、B 2' が半導体チップ 5 1 上にそれぞれ配置されるようにして、キャリア基板 5 2 a、5 2 b に設けられた突出電極 5 3 a、5 3 b が、半導体チップ 5 1 が搭載された下層基板上に接合されている。これにより、突出電極 5 3 a、5 3 b の配置位置を調整することで、同一の半導体チップ 5 1 上に複数のキャリア基板 5 2 a、5 2 b を配置することが可能となり、製造工程の煩雑化を抑制しつつ、省スペース化の実効性を向上させることが可能となる。

【0 0 4 8】

図 4 は、本発明の第 4 実施形態に係る突出電極の配置方法を示す平面図である。なお、この第 4 実施形態は、キャリア基板 6 2 a～6 2 c を半導体チップ 6 1 上に 3 分割配置するようにしたものである。

図 4 において、キャリア基板 6 2 a の周囲には、キャリア基板 6 2 a の辺 A 3 の周囲を避けるようにして、突出電極 6 3 a が配置されている。また、キャリア基板 6 2 b、6 3 c の周囲には、各キャリア基板 6 2 b、6 3 c の頂点 B 3、C 3 の周囲をそれぞれ避けるようにして、突出電極 6 3 b、6 3 c がそれぞれ配置されている。

【0 0 4 9】

そして、キャリア基板 6 2 a の辺 A 3 が半導体チップ 6 1 上に配置されるようにして、キャリア基板 6 2 a に設けられた突出電極 6 3 a が、半導体チップ 6 1 が搭載された下層基板上に接合されている。また、キャリア基板 6 2 b、6 3 c の頂点 B 3、C 3 が半導体チップ 6 1 上にそれぞれ配置されるようにして、キャリア基板 6 2 b、6 3 c に設けられた突出電極 6 3 b、6 3 c が、半導体チップ 6 1 が搭載された下層基板上に接合されている。

【0 0 5 0】

これにより、突出電極 6 3 a～6 3 c の配置位置を調整することで、同一の半導体チップ 6 1 上にサイズまたは種類の異なる複数のキャリア基板 6 2 a～6 2 c を配置することが可能となり、製造工程の煩雑化を抑制しつつ、省スペース化の実効性を向上させることが可能となる。

図5は、本発明の第5実施形態に係る突出電極の配置方法を示す平面図である。なお、この第5実施形態は、キャリア基板72bが半導体チップ71上に跨るように、キャリア基板72a～72cを半導体チップ71上に3分割配置するようにしたものである。

【0051】

図5において、キャリア基板72a、72cには、各キャリア基板72a、72cの辺A4、C4および辺A4'、C4'にそれぞれ交わる辺に沿って、突出電極73a、73cがコ字状にそれぞれ配置されている。そして、キャリア基板72a、72cの辺A4、C4にそれぞれ対向する辺A4'、C4'に沿って、突出電極73a、73cの未配置領域がそれぞれ設けられている。一方、キャリア基板72bには、キャリア基板72bの互いに対向する辺B4、B4'に沿って突出電極73bが配置され、辺B4、B4'の間には、突出電極73bの未配置領域が設けられている。

【0052】

そして、キャリア基板72a、72cの辺A4'、C4'が半導体チップ71上にそれぞれ配置されるようにして、キャリア基板72a、72cにそれぞれ設けられた突出電極73a、73cが、半導体チップ71が搭載された下層基板上に接合されている。また、キャリア基板72bが半導体チップ71上に跨るようにして、キャリア基板72bに設けられた突出電極73bが、半導体チップ71が搭載された下層基板上に接合されている。

【0053】

これにより、キャリア基板72a～72cを半導体チップ71上に3分割配置した場合においても、各キャリア基板72a～72cの四隅をそれぞれ支えつつ、同一の半導体チップ71上に複数のキャリア基板72a～72cを配置することが可能となり、製造工程の煩雑化を抑制しつつ、省スペース化の実効性を向上させることが可能となる。

【0054】

図6は、本発明の第6実施形態に係る突出電極の配置方法を示す平面図である。なお、この第6実施形態は、キャリア基板82a～82dと半導体チップ81

との向きが異なるようにして、キャリア基板 82a～82d を半導体チップ 81 上に 4 分割配置するようにしたものである。

図 6 において、キャリア基板 82a～82d には、各キャリア基板 82a～82d の頂点 A5～D5 の周囲を避けるように、突出電極 83a～83d がそれぞれ配置されている。そして、例えば、半導体チップ 81 がキャリア基板 82a～82d に対して 45 度だけ傾いた状態で、キャリア基板 82a～82d の頂点 A5～D5 が半導体チップ 81 上にそれぞれ配置されるようにして、半導体チップ 81 が搭載された下層基板上に突出電極 83a～83d が接合されている。これにより、突出電極 83a～83d の配置位置を調整することで、同一の半導体チップ 81 上に複数のキャリア基板 82a～82d を向きを変えて配置することが可能となり、製造工程の煩雑化を抑制しつつ、省スペース化の実効性を向上させることが可能となる。

【0055】

図 7 は、本発明の第 7 実施形態に係る突出電極の配置方法を示す平面図である。なお、この第 7 実施形態は、半導体チップ 91a～91d をキャリア基板 92 下に 4 分割配置するようにしたものである。

図 7 において、キャリア基板 92 には、キャリア基板 92 の頂点 A6～D6 の周囲をそれぞれ避けるように、突出電極 93 が配置されている。そして、キャリア基板 92 が半導体チップ 91a～91d 上に配置されるようにして、半導体チップ 91a～91d が搭載された下層基板上に突出電極 93 が接合されている。これにより、突出電極 93 の配置位置を調整することで、複数の半導体チップ 91a～91d 上に同一のキャリア基板 92 を配置することが可能となり、製造工程の煩雑化を抑制しつつ、省スペース化の実効性を向上させることが可能となる。

【0056】

図 8 は、本発明の第 8 実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第 8 実施形態は、半導体チップ 103 上に端部がかかるようにして半導体パッケージ PK21 上に半導体パッケージ PK22、PK23 を実装するようにしたものである。

図8 (a) において、半導体パッケージPK 21にはキャリア基板101が設けられ、キャリア基板101の両面にはランド102a、102bがそれぞれ形成されている。そして、キャリア基板101上には半導体チップ103がフリップチップ実装され、半導体チップ103には、フリップチップ実装するための突出電極104が設けられている。そして、半導体チップ103に設けられた突出電極104は、異方性導電シート105を介してランド102b上にACF接合されている。

【0057】

一方、半導体パッケージPK 22、PK 23にはキャリア基板111、121がそれぞれ設けられ、キャリア基板111、121の裏面にはランド112、122がそれぞれ形成され、ランド112、122上には半田ボールなどの突出電極113、123がそれぞれ設けられている。また、キャリア基板111、121上には半導体チップがそれぞれ実装され、半導体チップが実装されたキャリア基板111、121の一面全体は、封止樹脂114、124でそれぞれ封止されている。なお、キャリア基板111、121上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

【0058】

そして、半導体パッケージPK 21上に半導体パッケージPK 22、PK 23をそれぞれ積層する場合、キャリア基板101のランド102b上にフラックスまたは半田ペーストを供給する。

次に、図8 (b) に示すように、半導体パッケージPK 21上に半導体パッケージPK 22、PK 23を互いに離間させてマウントし、リフロー処理を行うことにより、突出電極113、123をランド102b上にそれぞれ接合させる。

【0059】

これにより、キャリア基板111、121に配置される突出電極113、123の配置位置を調整することで、同一半導体チップ103上に複数の半導体パッケージPK 22、PK 23を配置することが可能となり、製造工程の煩雑化を抑制しつつ、実装面積を縮小することが可能となる。また、半導体パッケージPK

21 上に半導体パッケージ PK22、PK23 をそれぞれ積層することで、検査済みの良品の半導体パッケージ PK21、PK22、PK23 のみを選別してマウントすることが可能となり、製造歩留りを向上させることが可能となる。

【0060】

次に、図8(c)に示すように、キャリア基板101の裏面に設けられたランド102a上に、キャリア基板101をマザー基板上に実装するための突出電極106を形成する。

図9は、本発明の第9実施形態に係る半導体装置の構成を示す断面図である。なお、この第9実施形態は、半導体チップ221、231の端部が半導体チップ213上にそれぞれ配置されるようにして、半導体チップ213、221、231をキャリア基板211上にそれぞれフリップチップ実装するようにしたものである。

【0061】

図9において、キャリア基板211の両面にはランド212a、212cがそれぞれ形成されるとともに、キャリア基板211内には内部配線212bが形成されている。そして、キャリア基板211上には半導体チップ213がフリップチップ実装され、半導体チップ213には、フリップチップ実装するための突出電極214が設けられている。そして、半導体チップ213に設けられた突出電極214は、異方性導電シート215を介してランド212c上にACF接合されている。なお、半導体チップ213をキャリア基板211上に実装する場合、ACF接合を用いる方法以外にも、例えば、NCF接合などのその他の接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、キャリア基板211の裏面に設けられたランド212a上には、キャリア基板211をマザー基板上に実装するための突出電極216が設けられている。

【0062】

一方、半導体チップ221、231には、電極パッド222、232がそれぞれ設けられるとともに、電極パッド222、232がそれぞれ露出するようにして、絶縁膜223、233がそれぞれ設けられている。そして、電極パッド22

2、233上には、半導体チップ221、231の端部が半導体チップ213上にそれぞれ保持されるようにして、半導体チップ221、231をそれぞれフリップチップ実装するための突出電極224、234がそれぞれ設けられている。

【0063】

ここで、突出電極224、234は、半導体チップ213の搭載領域を避けるようにそれぞれ配置することができ、例えば、突出電極224、234をコ字状、L字状またはG字状にそれぞれ配列することができる。そして、キャリア基板211上に設けられたランド212c上に突出電極224、234がそれぞれ接合され、半導体チップ221、231の端部が半導体チップ213上にそれぞれ配置されるようにして、半導体チップ221、231がキャリア基板211上にそれぞれフリップチップ実装されている。

【0064】

これにより、半導体チップ213、221、231の種類またはサイズが異なる場合においても、半導体チップ213、221、231間にキャリア基板を介在させることなく、半導体チップ213上に半導体チップ221、231をフリップチップ実装することが可能となる。このため、半導体チップ213、221、231積層時の高さの増大を抑制しつつ、実装面積を縮小することが可能となり、省スペース化の実効性を向上させることが可能となる。

【0065】

なお、半導体チップ221、231をキャリア基板211上に実装する場合、半導体チップ221、231は半導体チップ213上に密着していてもよいし、キャリア基板221、231は半導体チップ213から離れていてもよい。また、半導体チップ221、231をキャリア基板211上に実装する場合、例えば、ACF接合やNCF接合などの接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、突出電極212、214、224、234としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。また、半導体チップ221、231とキャリア基板211との間の隙間には、封止樹脂を充填するようにしてもよい。

【0066】

図10は、本発明の第10実施形態に係る半導体装置の構成を示す断面図である。なお、この第10実施形態は、スタックド構造の半導体チップ321a～321c、331a～331cの端部が半導体チップ313上にそれぞれ配置されるようにして、スタックド構造の半導体チップ321a～321c、331a～331cをキャリア基板311上にフリップチップ実装するようにしたものである。

【0067】

図10において、キャリア基板311の両面にはランド312a、312cがそれぞれ形成されるとともに、キャリア基板311内には内部配線312bが形成されている。そして、キャリア基板311上には半導体チップ313がフリップチップ実装され、半導体チップ313には、フリップチップ実装するための突出電極314が設けられている。そして、半導体チップ313に設けられた突出電極314は、異方性導電シート315を介してランド312c上にACF接合されている。なお、半導体チップ313をキャリア基板311上に実装する場合、ACF接合を用いる方法以外にも、例えば、NCF接合などのその他の接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、キャリア基板311の裏面に設けられたランド312a上には、キャリア基板311をマザー基板上に実装するための突出電極316が設けられている。

【0068】

一方、半導体チップ321a～321c、331a～331cには、電極パッド322a～322c、332a～332cがそれぞれ設けられるとともに、各電極パッド322a～322c、332a～332cがそれぞれ露出するようにして、絶縁膜323a～323c、333a～333cがそれぞれ設けられている。そして、半導体チップ321a～321c、331a～331cには、例えば、各電極パッド322a～322c、332a～332cの位置に対応して、貫通孔324a～324c、334a～334cがそれぞれ形成され、各貫通孔324a～324c、334a～334c内には、絶縁膜325a～325c、

335a～335c および導電膜326a～326c、336a～336cをそれぞれ介して、貫通電極327a～327c、337a～337cがそれぞれ形成されている。そして、貫通電極327a～327c、337a～337cがそれぞれ形成された半導体チップ321a～321c、331a～331cは、貫通電極327a～327c、337a～337cをそれぞれ介して積層され、半導体チップ321a～321c、331a～331c間の隙間には樹脂328a、328b、338a、338bがそれぞれ注入されている。

【0069】

そして、半導体チップ321a、331aにそれぞれ形成された各貫通電極327a、337a上には、半導体チップ321a～321c、331a～331cの積層構造の端部が半導体チップ313上にそれぞれ保持されるようにして、半導体チップ321a～321c、331a～331cの積層構造をそれぞれフリップチップ実装するための突出電極329、339がそれぞれ設けられている。

【0070】

ここで、突出電極329、339は、半導体チップ313の搭載領域を避けるようにして配置することができ、例えば、突出電極329、339をコ字状、L字状またはG字状にそれぞれ配列することができる。そして、キャリア基板311上に設けられたランド312c上に突出電極329、339がそれぞれ接合され、タクトド構造の半導体チップ321a～321c、331a～331cの端部が半導体チップ313上にそれぞれ配置されるようにして、スタクトド構造の半導体チップ321a～321c、331a～331cがキャリア基板311上にそれぞれフリップチップ実装されている。

【0071】

これにより、半導体チップ321a～321c、331a～331cの積層構造と半導体チップ313との間にキャリア基板を介在させることなく、半導体チップ313上に半導体チップ321a～321c、331a～331cの積層構造をそれぞれフリップチップ実装することが可能となり、積層時の高さの増大を抑制しつつ、半導体チップ313と異なる種類の半導体チップ321a～321

c、331a～331cを複数積層することが可能となる。

【0072】

なお、半導体チップ321a～321c、331a～331cの積層構造をキャリア基板311上に実装する場合、例えば、ACF接合やNCF接合などの接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、突出電極314、314329、329としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。また、上述した実施形態では、半導体チップ321a～321c、331a～331cの3層構造をキャリア基板311上にそれぞれ実装する方法について説明したが、キャリア基板311上に実装される半導体チップの積層構造は、2層または4層以上であってもよい。また、半導体チップ321a、331aとキャリア基板311との間の隙間には、封止樹脂を充填するようにしてもよい。

【0073】

図11は、本発明の第11実施形態に係る半導体装置の構成を示す断面図である。なお、この第11実施形態は、複数のW-CSP（ウエハレベルチップサイズパッケージ）の端部が半導体チップ413上にそれぞれ配置されるようにして、W-CSPをキャリア基板411上に実装するようにしたものである。

図11において、半導体パッケージPK31にはキャリア基板411が設けられ、キャリア基板411の両面にはランド412a、412cがそれぞれ形成されるとともに、キャリア基板411内には内部配線412bが形成されている。そして、キャリア基板411上には半導体チップ413がフリップチップ実装され、半導体チップ413には、フリップチップ実装するための突出電極414が設けられている。そして、半導体チップ413に設けられた突出電極414は、異方性導電シート415を介してランド412c上にACF接合されている。また、キャリア基板411の裏面に設けられたランド412a上には、キャリア基板411をマザー基板上に実装するための突出電極416が設けられている。

【0074】

一方、半導体パッケージPK32、PK33には半導体チップ421、431

がそれぞれ設けられ、各半導体チップ421、431には、電極パッド422、432がそれぞれ設けられるとともに、各電極パッド422、432がそれぞれ露出するようにして、絶縁膜423、433がそれぞれ設けられている。そして、各半導体チップ421、431上には、各電極パッド422、432がそれぞれ露出するようにして応力緩和層424、435がそれぞれ形成され、各電極パッド422、432上には、応力緩和層424、435上にそれぞれ延伸された再配置配線425、435がそれぞれ形成されている。そして、各再配置配線425、435上にはソルダレジスト膜426、436がそれぞれ形成され、各ソルダレジスト膜426、436には、各応力緩和層424、435上において再配置配線425、435をそれぞれ露出させる開口部427、437がそれぞれ形成されている。そして、各開口部427、437を介してそれぞれ露出された再配置配線425、435上には、半導体チップ421、431の端部が半導体チップ413上にそれぞれ保持されるようにして、各半導体チップ421、431をキャリア基板411上にそれぞれフェースダウン実装するための突出電極428、438がそれぞれ設けられている。

【0075】

ここで、突出電極428、438は、半導体チップ413の搭載領域を避けるようにして配置することができ、例えば、突出電極428、438をコ字状、L字状またはG字状にそれぞれ配列することができる。そして、キャリア基板411上に設けられたランド412c上に突出電極428、438がそれぞれ接合され、半導体チップ421、431の端部が半導体チップ413上にそれぞれ配置されるようにして、半導体パッケージPK32、PK33がキャリア基板411上にそれぞれ実装されている。

【0076】

これにより、半導体チップ413がフリップチップ実装されたキャリア基板411上にW-CSPを積層することができ、半導体チップ413、421、431の種類またはサイズが異なる場合においても、半導体チップ413、421、431間にキャリア基板を介在させることなく、半導体チップ413上に半導体チップ421、431を3次元実装することが可能となる。このため、半導体チ

チップ 413、421、431 積層時の高さの増大を抑制しつつ、実装面積を縮小することが可能となり、省スペース化の実効性を向上させることが可能となる。

【0077】

なお、半導体パッケージ PK32、PK33 をキャリア基板 411 上に実装する場合、半導体パッケージ PK32、PK33 は半導体チップ 413 上に密着していてもよいし、半導体パッケージ PK32、PK33 は半導体チップ 413 から離れていてもよい。また、半導体パッケージ PK32、PK33 をキャリア基板 411 上に実装する場合、例えば、ACF 接合や NCF 接合などの接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、突出電極 414、416、428、438 としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいは半田ボールなどを用いることができる。

【0078】

なお、上述した半導体装置および電子デバイスは、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (Mini Disc) プレーヤなどの電子機器に適用することができ、電子機器の機能性の向上を可能としつつ、電子機器の小型・軽量化を図ることが可能となる。

また、上述した実施形態では、半導体チップまたは半導体パッケージを実装する方法を例にとって説明したが、本発明は、必ずしも半導体チップまたは半導体パッケージを実装する方法に限定されることなく、例えば、弾性表面波 (SAW) 素子などのセラミック素子、光変調器や光スイッチなどの光学素子、磁気センサやバイオセンサなどの各種センサ類などを実装するようにしてもよい。

【図面の簡単な説明】

- 【図 1】 第 1 実施形態に係る半導体装置の構成を示す断面図。
- 【図 2】 第 2 実施形態に係る突出電極の配置方法を示す平面図。
- 【図 3】 第 3 実施形態に係る突出電極の配置方法を示す平面図。
- 【図 4】 第 4 実施形態に係る突出電極の配置方法を示す平面図。
- 【図 5】 第 5 実施形態に係る突出電極の配置方法を示す平面図。
- 【図 6】 第 6 実施形態に係る突出電極の配置方法を示す平面図。

【図 7】 第 7 実施形態に係る突出電極の配置方法を示す平面図。

【図 8】 第 8 実施形態に係る半導体装置の製造方法を示す断面図。

【図 9】 第 9 実施形態に係る半導体装置の構成を示す断面図。

【図 10】 第 10 実施形態に係る半導体装置の構成を示す断面図。

【図 11】 第 11 実施形態に係る半導体装置の構成を示す断面図。

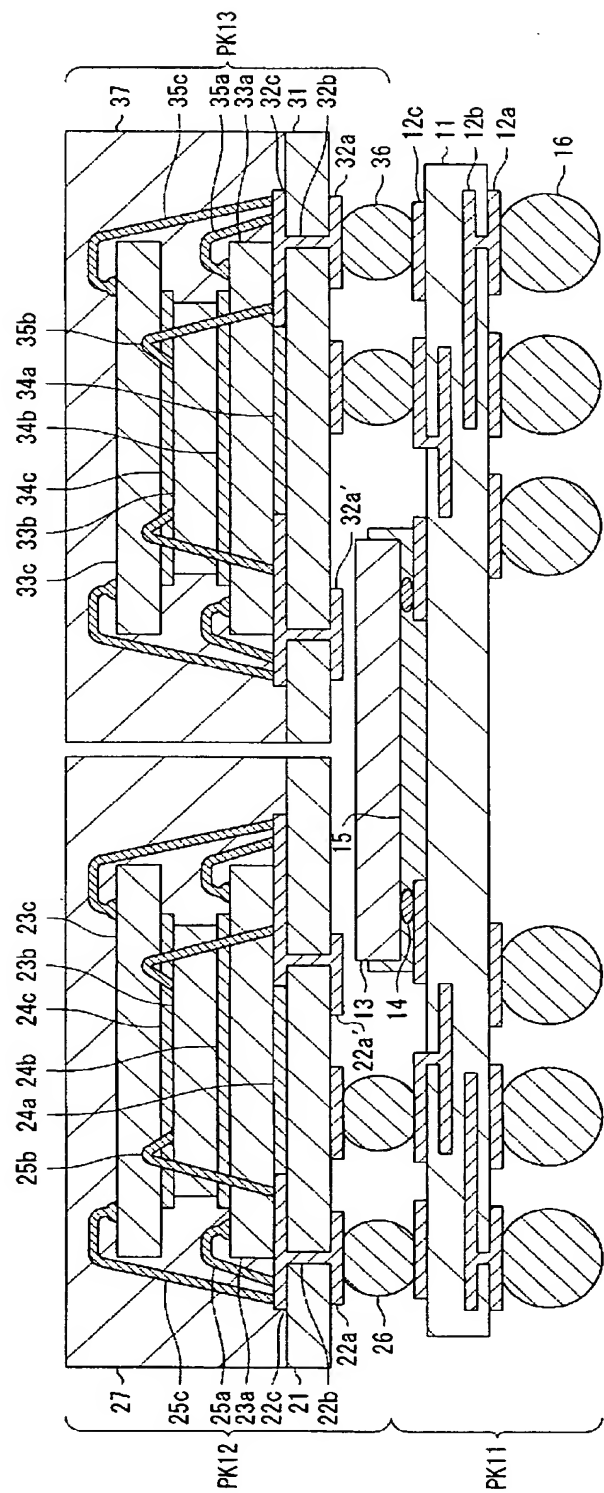
【符号の説明】

11、21、31、21、31、211、311、411 キャリア基板、12a、12c、22a、22a'、22c、32a、32a'、32c、212a、212c、312a、312c、412a、412c ランド、12b、22b、32b、212b、312b、412b 内部配線、13、23a～23c、33a～33c、213、221、313、321a～321c、413、421、431 半導体チップ、12、14、24、36、212、214、224、314、314、329、339、414、416、428、438 突出電極、15、213、315、415 異方性導電シート、24a～24c、34a～34c、 接着層、25a～25c、35a～35c 導電性ワイヤ、27、37、328a、328b 封止樹脂、222、322a～322c、422、432 電極パッド、223、323a～323c、325a～325c、423、433 絶縁膜、324a～324c 貫通孔、326a～326c 導電膜、327a～327c 貫通電極、424、434 応力緩和層、425、435 再配置配線、424、434 ソルダレジスト層、427、437 開口部、PK11～PK13、PK21～PK23、PK31～PK33、PK21～PK23、PK31～PK33 半導体パッケージ

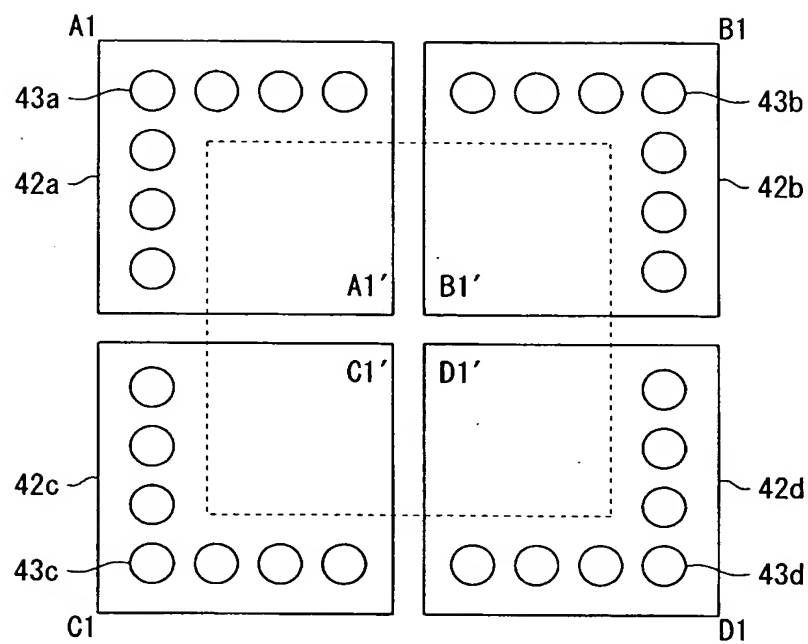
【書類名】

図面

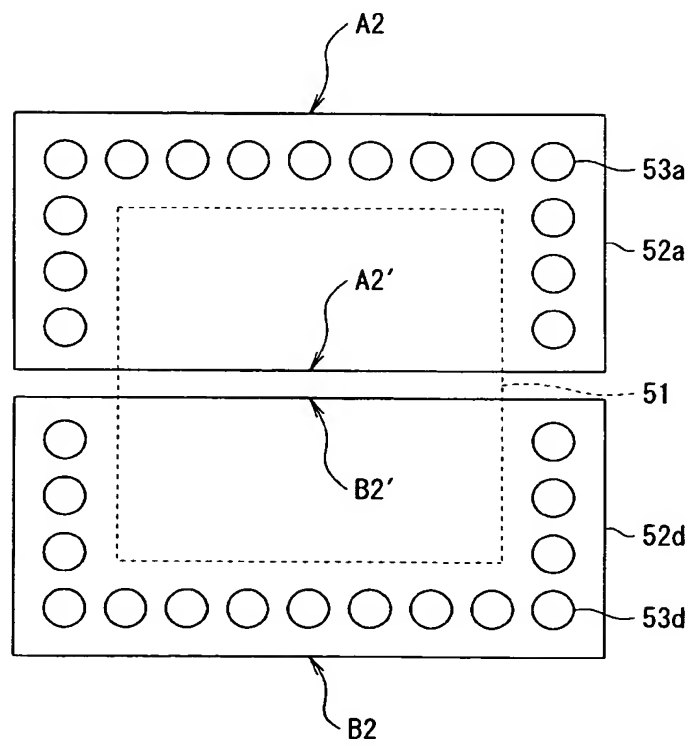
【図 1】



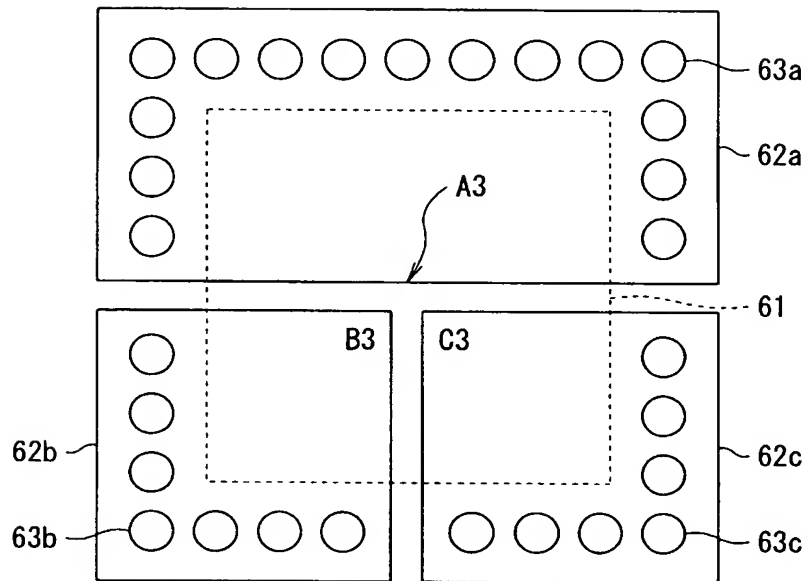
【図 2】



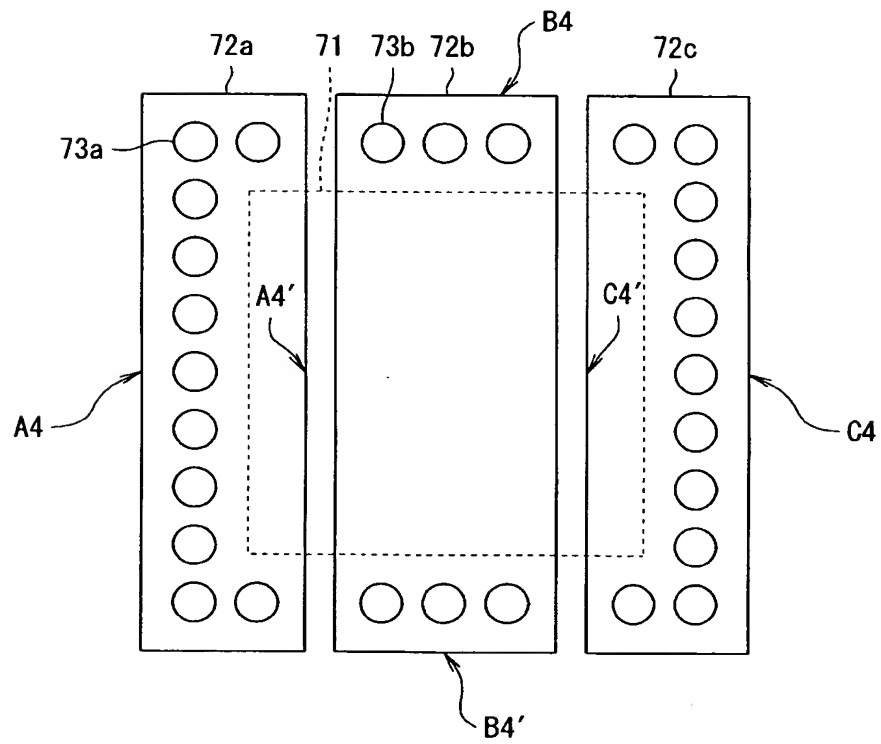
【図 3】



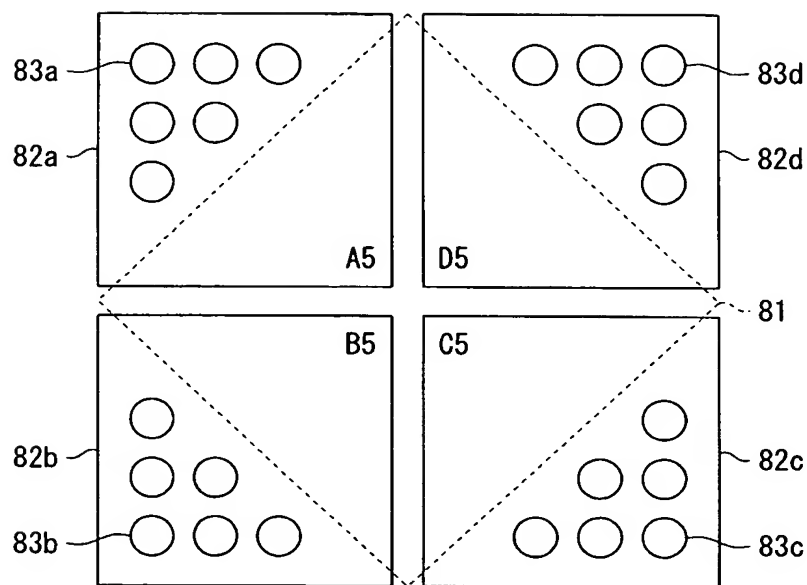
【図 4】



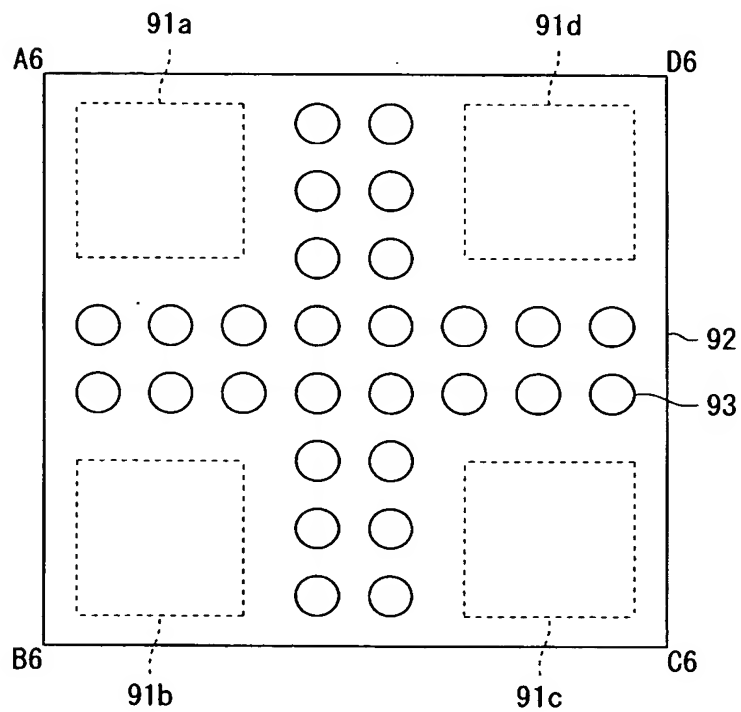
【図 5】



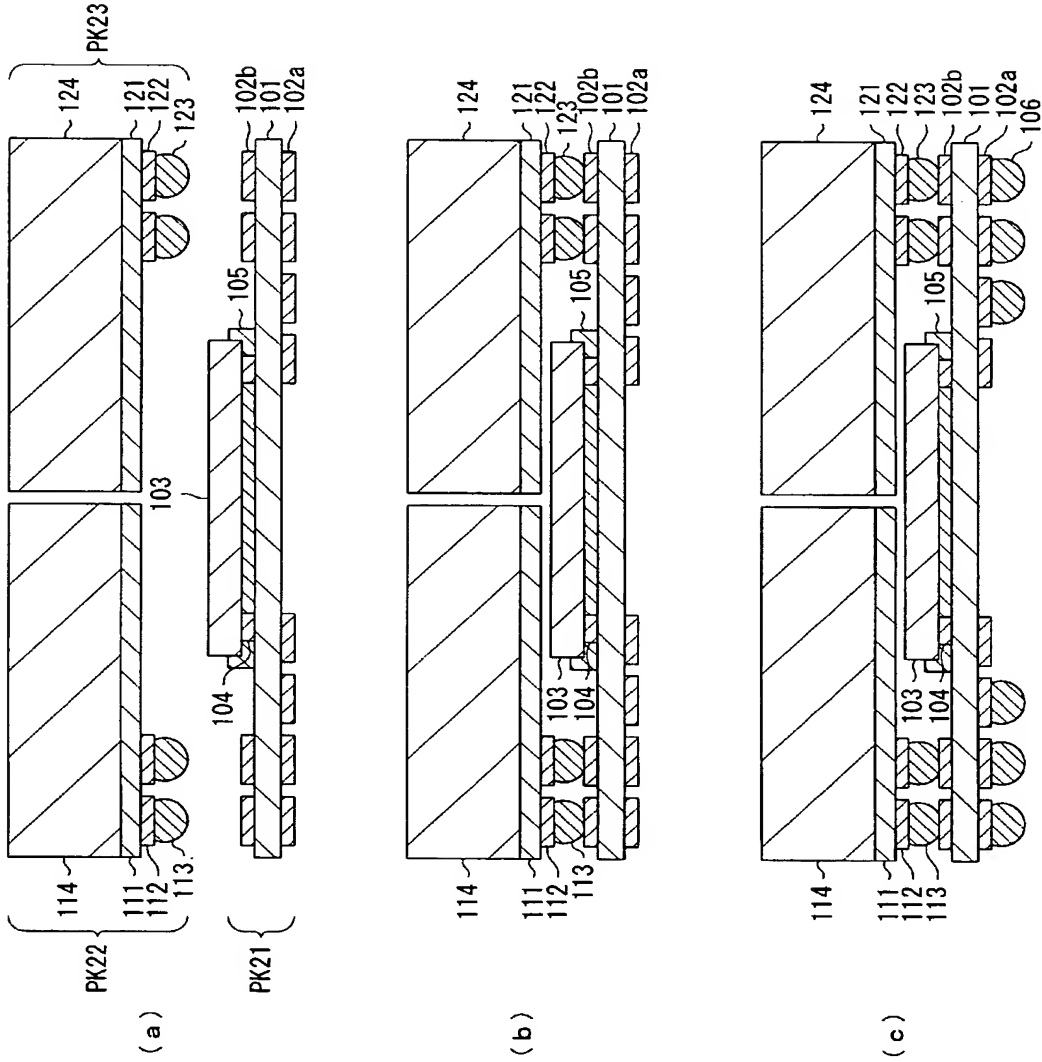
【図 6】



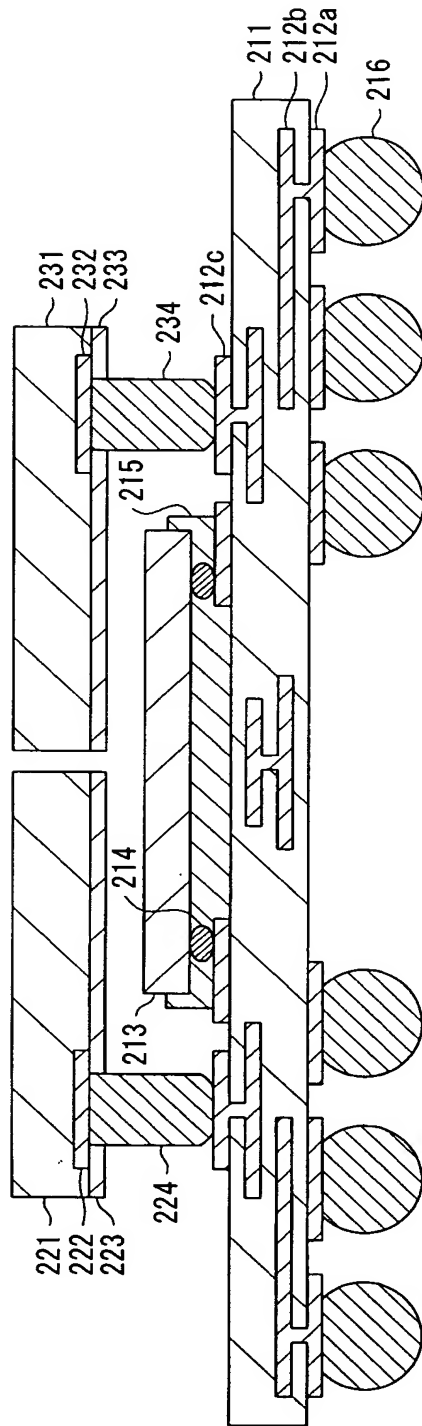
【図 7】



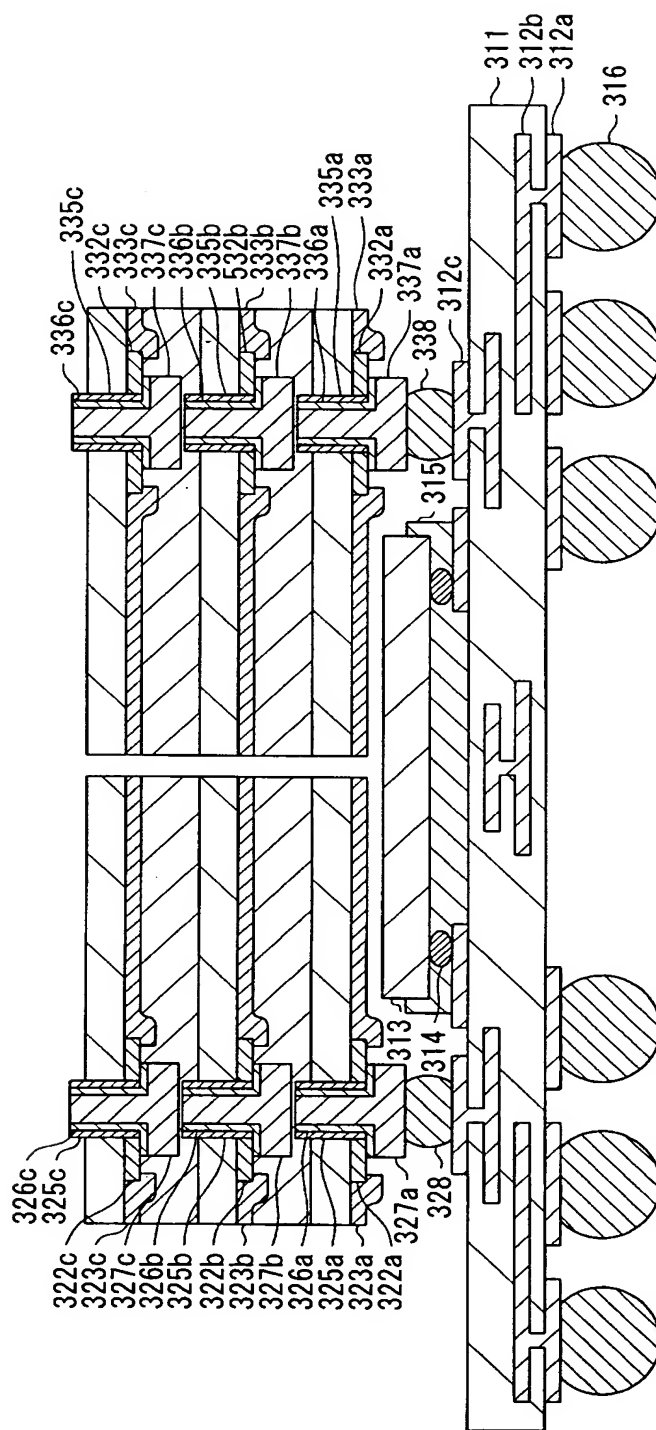
【図 8】



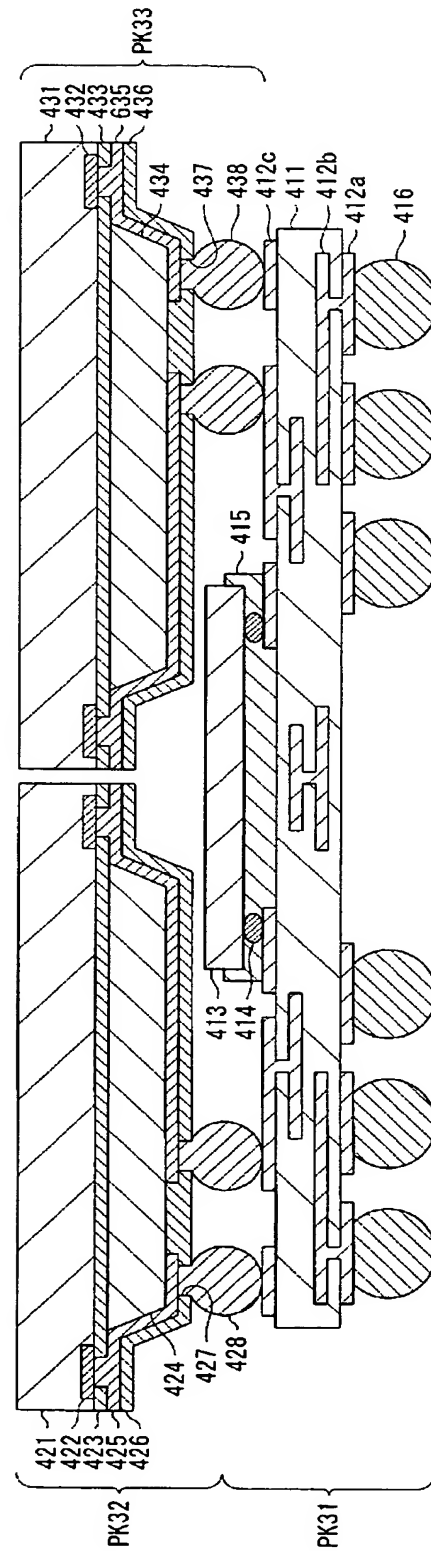
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 異種パッケージの 3 次元実装構造を実現する。

【解決手段】 キャリア基板 1 1 上に設けられたランド 1 2 c に突出電極 2 4、3 6 をそれぞれ接合させることにより、キャリア基板 2 1、3 1 の端部がそれぞれ半導体チップ 1 3 上に配置されるようにして、キャリア基板 2 1、3 1 をキャリア基板 1 1 上にそれぞれ実装する。

【選択図】 図 1

特願 2 0 0 3 - 0 2 9 8 4 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 0 日
新規登録

住 所
氏 名

東京都新宿区西新宿 2 丁目 4 番 1 号
セイコーエプソン株式会社